



Ingenius. Revista de Ciencia y Tecnología  
ISSN: 1390-650X  
ISSN: 1390-860X  
revistaingenius@ups.edu.ec  
Universidad Politécnica Salesiana  
Ecuador

## Control para el voltaje de salida de un inversor multinivel de capacitores flotantes

Aguilar-López, Beatriz Angélica; Juárez-Abad, José Antonio; Barahona-Avalos, Jorge Luis; Mayoral-Lagunes, Rosalino; Linares-Flores, Jesús; Contreras-Ordaz, Marco Antonio

Control para el voltaje de salida de un inversor multinivel de capacitores flotantes

Ingenius. Revista de Ciencia y Tecnología, núm. 24, 2020

Universidad Politécnica Salesiana, Ecuador


**Disponible en:** <https://www.redalyc.org/articulo.oa?id=505563460008>

**DOI:** <https://doi.org/10.17163/ings.n24.2020.07>

# Control para el voltaje de salida de un inversor multinivel de capacitores flotantes

Control for the output voltage on a flying capacitor multilevel inverter

*Beatriz Angélica Aguilar-López*  
*Universidad Tecnológica de la Mixteca, México*

 <http://orcid.org/0000-0002-2769-4992>, Importar imagen

DOI: <https://doi.org/10.17163/ings.n24.2020.07>

Redalyc: <https://www.redalyc.org/articulo.oa?id=505563460008>

*José Antonio Juárez-Abad*  
*Universidad Tecnológica de la Mixteca, México*  
 abad@mixteco.utm.mx

 <http://orcid.org/0000-0001-7440-0849>

*Jorge Luis Barahona-Avalos*  
*Universidad Tecnológica de la Mixteca, México*

 <http://orcid.org/0000-0002-5502-6692>


*Rosalino Mayoral-Lagunes*  
*Universidad Tecnológica de la Mixteca, México*

 <http://orcid.org/0000-0003-3420-7416>

*Jesús Linares-Flores*  
*Universidad Tecnológica de la Mixteca, México*

 <http://orcid.org/0000-0002-5723-4786>

*Marco Antonio Contreras-Ordaz*  
*Universidad Tecnológica de la Mixteca, México*

 <http://orcid.org/0000-0002-3478-796X>

Recepción: 21 Noviembre 2019

Aprobación: 03 Junio 2020

## ABSTRACT:

This paper presents the design of a robust Active Disturbance Rejection Controller (ADRC) for tracking the reference trajectory of the output voltage of a flying capacitor multilevel inverter. If the dynamics of each flying capacitor and of the passive elements of the filter are considered in the dynamic model of the converter, it results a high order model, which is difficult to control. PS-PWM modulation is used in this work to keep the voltages in the flying capacitors at their nominal values, and thereby generate a second-order simple dynamic model that is easier to control. The simulation and experimental results confirm that the controller is robust in the presence of disturbances, caused by either linear or nonlinear load changes. The experimental prototype of the complete system was built, and the implementation of the controller and the modulator was carried out in a FPGA; the results obtained are shown in the final part.

**KEYWORDS:** Active Disturbance Rejection, Exact Linearization, Flying Capacitors, Natural balancing, Power converter, Robust Control.

## RESUMEN:

Este artículo presenta el diseño de un controlador mediante la técnica de rechazo activo de perturbaciones para el seguimiento de la trayectoria de referencia para el voltaje de salida de un inversor multinivel de capacitores flotantes. Si en el modelo dinámico del convertidor se consideran las dinámicas de cada capacitor flotante, adicionalmente, las de los elementos pasivos del filtro de salida, el modelo resultante es de un orden alto, lo que dificulta su control. En este trabajo se emplea la modulación PS-PWM para

mantener los voltajes en los capacitores flotantes en sus valores nominales y de esta manera poder generar un modelo dinámico simple, que resulta ser más fácil de controlar. Los resultados de simulación y experimentales, confirman que el controlador es robusto a perturbaciones provocadas por cambios en la carga, sin importar si son de tipo lineal o no lineal. Se realizó la construcción del prototipo experimental del sistema y se implementó el controlador y modulador en un FPGA y en la parte final se muestran los resultados obtenidos.

**PALABRAS CLAVE:** balanceo natural, capacitores flotantes, control robusto, convertidor de potencia, linealización exacta, rechazo activo de perturbaciones.

Forma sugerida de citación: Aguilar-López, B. A.; Juárez-Abad, J. A.; Barahona-Avalos, J. L.; Mayoral-Lagunes, R.; Linares-Flores, J. y Contreras-Ordaz, M. A. (2020). «Control para el voltaje de salida de un inversor multinivel de capacitores flotantes». *Ingenius*. N.º 24, (julio-diciembre). pp. 68-80. doi: <https://doi.org/10.17163/ings.n24.2020.07>.

## 1. INTRODUCCIÓN

La energía eléctrica puede presentarse en dos modalidades: de corriente directa (CD) o de corriente alterna (CA). Existen aplicaciones donde se requiere la transformación de una forma de energía a otra, dicha conversión es llevada a cabo por un dispositivo conocido como convertidor de potencia; por ejemplo, la transformación CA-CD la realiza un convertidor llamado rectificador y para el caso de la conversión CD-CA la realiza un convertidor llamado inversor [1]. Los convertidores de potencia se construyen con dispositivos de conmutación y con elementos pasivos tales como capacitores, inductores, diodos y transformadores. Generalmente, la potencia, que es capaz de entregar un convertidor, está limitada por la capacidad de corriente y voltaje de sus interruptores o dispositivos de conmutación. Aún cuando idealmente un inversor debería producir una tensión sinusoidal en las aplicaciones tradicionales de corriente alterna (para lograr mejor eficiencia y baja interferencia electromagnética, entre otras ventajas [2]), estos solo son capaces de producir ondas rectangulares (es decir, tres niveles). Con el surgimiento de las topologías de inversores multinivel, fue posible generar formas de onda de voltaje con múltiples niveles, las cuales se asemejan más a la forma de onda sinusoidal ideal. Las topologías más conocidas de convertidores multinivel son: celdas en cascada, diodos de enclavamiento y capacitores flotantes [3].

La primera topología mencionada se compone de la conexión en serie de puentes H y requiere fuentes de voltaje aisladas para cada una de las celdas, mientras que las dos últimas, ocupan solo una fuente de voltaje [4]. La topología de convertidores multinivel de capacitores flotantes (CMCF) ha demostrado ser una excelente elección en aplicaciones donde se requiere alta densidad de potencia [5]. La estructura de un CMCF está conformada por celdas de potencia. Cada celda de potencia se compone por un par de interruptores y un capacitor flotante. El número de niveles en la salida del CMCF puede incrementarse añadiendo más celdas al CMCF, sin embargo, se requieren más capacitores e interruptores. Cada capacitor flotante debe ser cargado a un voltaje nominal de cierto nivel. Dependiendo del estado de los interruptores de la celda, el capacitor flotante, aportará o no, su voltaje a la salida del convertidor. Para la operación correcta del CMCF se debe mantener una distribución balanceada en los voltajes de los capacitores flotantes: cada uno de ellos debe mantener un voltaje nominal equivalente a una fracción del voltaje total del bus de CD dividido entre el número de celdas. Para lograr la operación correcta del CMCF se realizan dos procesos independientes conocidos como precarga y balanceo (o regulación) de los voltajes en los capacitores flotantes. Para el caso de la precarga, algunos métodos reportados pueden ser consultados en [6] y [7].

Por otra parte, el balanceo de los voltajes en los capacitores flotantes puede realizarse de manera pasiva y activa. El balanceo natural o pasivo utiliza una técnica de modulación, comúnmente llamada como PS-PWM (por sus siglas en inglés, Phase Shifted-PWM). Esta técnica de modulación se emplea para generar los

estados de conmutación que forman la señal de voltaje deseado en la salida y al mismo tiempo, mantiene en los capacitores flotantes una carga neta promedio igual a cero. La técnica de balanceo pasivo, mencionada es sencilla de implementar, sin embargo no garantiza que los voltajes de los capacitores se establezcan en sus valores nominales, ya que regularmente los componentes utilizados en la construcción del CMCF poseen condiciones no ideales, es decir: corrientes de fuga desiguales en los capacitores, carga o descarga asimétrica en los capacitores y perturbaciones de carga, por mencionar algunos [8]. Por otro lado, en el balanceo activo, el voltaje de los capacitores flotantes es regulado individualmente. Este enfoque requiere el uso de un sensor de voltaje para cada uno de los capacitores flotantes como se muestra en [9] y [10] o bien, su estimación mediante observadores como se trata en [11]. Una tarea de control necesaria en los convertidores de potencia es proporcionar una salida de voltaje sin cambio en la amplitud, sin importar la resistencia efectiva de la carga. Para el caso del convertidor CD-CA se desea que la salida siga una referencia de voltaje a pesar de las perturbaciones generadas cuando la corriente de carga o del voltaje de entrada cambian [12].

Para que estas tareas sean llevadas a cabo de manera precisa, se requiere un sistema de control con retroalimentación. El seguimiento de voltaje en inversores multinivel ha sido abordado mediante diversas técnicas de control. Para la topología de celdas en cascada, han sido empleados diversos esquemas de control, tales como: controlador basado en pasividad [13] y el control integral proporcional generalizado lineal [14]. Para la topología de capacitores flotantes, el seguimiento de voltaje se ha realizado en [15] y [16]. En [15] se genera cada estado de conmutación apropiado para generar el voltaje de salida deseado, mediante un algoritmo que no requiere una modulación adicional ni el modelo del convertidor. En [16], los autores sostienen que las tareas de balanceo de voltajes y de seguimiento de la referencia de voltaje se encuentran acopladas, lo que se vuelve un problema serio en aplicaciones de alto ancho de banda y alta precisión. Hacen énfasis en el desacoplamiento de dichas tareas mediante dos técnicas: linealización por retroalimentación y una variante de modulación de espacio vectorial. Aplican controladores de tipo proporcional-integral (PI) y regulador cuadrático lineal (LQR) para el seguimiento de voltaje y simples controles proporcionales (P) para el balanceo de los voltajes en los capacitores. El objetivo del presente trabajo es el control por seguimiento de una señal de referencia sinusoidal aplicado al voltaje de salida de un CMCF. La tarea del balanceo de los voltajes en los capacitores flotantes se delega a la modulación PS-PWM. Con ello se evita el uso de múltiples sensores de voltaje y se reduce la complejidad del modelo dinámico del convertidor así como la complejidad en la implementación del controlador.

El controlador está basado en la técnica de rechazo activo de perturbaciones (ADRC, por sus siglas en inglés, Active Disturbance Rejection Control). En la sección 2.1 se describen las partes que componen al sistema: controlador, modulador y el convertidor de potencia. En la sección 2.2 se obtiene el modelo dinámico en forma promedio del CMCF. En la sección 2.3 se realiza la linealización en forma exacta del modelo del CMCF. El diseño del controlador basado ADRC es presentado en la sección 2.4. La sección 3 muestra los resultados de la cosimulación realizada en Matlab-Simulink/PSIM, donde se analiza la efectividad del controlador antes de la construcción experimental, los resultados experimentales se muestran en la sección 4 y, finalmente, en la sección 5 se presentan las conclusiones.

## 2. MATERIALES Y MÉTODOS

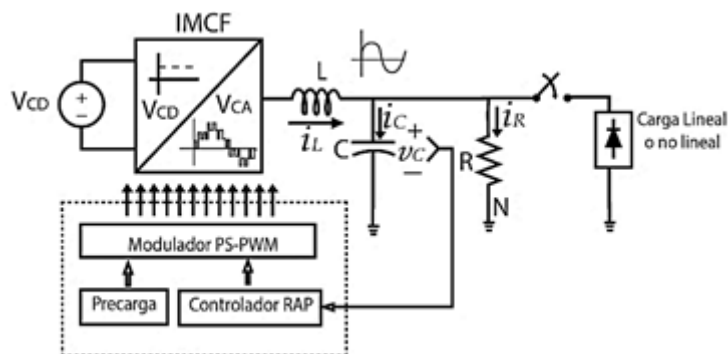


Figura 1. Diagrama a bloques del sistema

En la Figura 1 se muestra el sistema completo el cual se describe a continuación. A partir de una fuente de voltaje de corriente directa, VCD, el CMCF sintetiza en la salida una señal de múltiples niveles de voltaje basada en PWM. Dicha salida de voltaje es procesada por un filtro pasivo de tipo LC pasa-bajas con el fin de atenuar las componentes de alta frecuencia de la señal PWM y finalmente, obtener una señal de voltaje sinusoidal pura en la salida del filtro. El controlador por rechazo activo de perturbaciones retroalimenta la señal de voltaje del filtro y la compara contra una señal de referencia, de tipo sinusoidal con frecuencia de 60 Hz y amplitud variable; la señal de referencia o moduladora se emplea para el modulador PS-PWM. Durante el encendido del CMCF, los capacitores flotantes están descargados, por lo tanto, por medio del proceso de precarga, se establece el voltaje correcto, o voltaje nominal, en cada uno de ellos. Inicialmente se conecta una carga del tipo resistivo con valor conocido en paralelo al capacitor C del filtro de salida y en determinado momento, se añade una carga de tipo lineal o no lineal como perturbación exógena al sistema. El CMCF se muestra en la Figura 2, este se compone de múltiples celdas de potencia conectadas una después de otra. Cada celda de potencia (excepto la que está conectada al bus de CD), contiene un par de interruptores de potencia y un capacitor flotante.

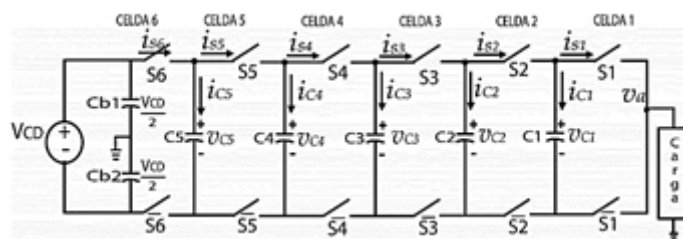


Figura 2. Topología del Inversor multinivel de capacitores flotantes (CMCF).

Por ejemplo, la celda 1 se compone de los interruptores S1,  $\hat{S}1$  y del capacitor C1. Para formar siete niveles de voltaje, incluyendo el nivel correspondiente a 0V, se requieren seis celdas. Cada capacitor flotante de la celda i-ésima, debe ser cargado y se debe mantener a un nivel nominal de voltaje  $V_{Ci}$  el cual puede corresponder con alguno de los siguientes valores:  $V_{CD}/6$ ,  $2V_{CD}/6$ ,  $3V_{CD}/6$ ,  $4V_{CD}/6$ ,  $5V_{CD}/6$ . Individualmente, cada interruptor del convertidor puede estar cerrado (ON) o abierto (OFF). Con el fin de evitar cortocircuitos en las celdas, los interruptores de cada celda deben operar en forma complementaria, por lo que nunca deben permanecer cerrados al mismo tiempo; esta condición se garantiza empleando un tiempo muerto entre conmutaciones. En la topología de capacitores flotantes, así como en otras topologías multinivel, un mismo nivel de voltaje puede ser formado con distintos estados de conmutación, los cuales se denominan estados redundantes. En la topología de CMCF de medio puente de siete niveles, se pueden obtener en la salida los siguientes niveles de voltaje:  $-3V_{CD}/6$ ,  $-2V_{CD}/6$ ,  $-V_{CD}/6$ , 0,  $V_{CD}/6$ ,  $2V_{CD}/6$ ,  $3V_{CD}/6$ .

## 2.1. Modelo dinámico en forma promedio

Aplicando leyes de corriente de Kirchhoff al CMCF mostrado en la Figura 2 se obtiene el conjunto de ecuaciones para las corrientes en los capacitores flotantes:

$$\begin{aligned}C_1 \frac{dv_{C1}}{dt} &= i_L(d_2 - d_1) \\C_2 \frac{dv_{C2}}{dt} &= i_L(d_3 - d_2) \\C_3 \frac{dv_{C3}}{dt} &= i_L(d_4 - d_3) \\C_4 \frac{dv_{C4}}{dt} &= i_L(d_5 - d_4) \\C_5 \frac{dv_{C5}}{dt} &= i_L(d_6 - d_5)\end{aligned}\tag{1}$$

donde  $i_L$  es la corriente en el inductor del filtro de salida,  $C_i$  es la capacitancia de los capacitores del CMCF,  $d_i$  representa el ciclo de trabajo del interruptor  $S_i$  y  $V_{Ci}$  son los voltajes en los capacitores flotantes, con  $i = \{1, 2, 3, 4, 5\}$ . El voltaje de salida del CMCF de la Figura 2, se mide desde el nodo  $v_a$  respecto a tierra y se nombra como  $v_{aN}$ , el cual se determina de la siguiente manera:

$$\begin{aligned}v_{aN} &= v_{C1}(d_1 - d_2) + v_{C2}(d_2 - d_3) + v_{C3}(d_3 - d_4) + \\&v_{C4}(d_4 - d_5) + v_{C5}(d_5 - d_6) + V_{CD}d_6 - \frac{V_{CD}}{2}\end{aligned}\tag{2}$$

La modulación PS-PWM genera las señales PWM para cada par de interruptores de las celdas del CMCF. En la Figura 3(a) se muestran algunos ciclos de las señales portadoras  $C1$  a  $C6$ , las cuales son señales triangulares con amplitudes que toman los valores de  $[-1, 1]$  y frecuencia  $f_c$ , desfasadas entre sí 60 grados. La frecuencia de las portadoras es mayor que la frecuencia de la moduladora  $f_m$ , por lo que es común definir un índice de modulación  $\frac{f_c}{f_m} \geq m$ . En este trabajo se empleó para modulación un índice de modulación  $m = 40$ . Para el caso de la señal moduladora  $u_{av}$ , toma valores de amplitud de  $[-1, 1]$  y posee una frecuencia  $f_m = 60$  Hz. Cada señal portadora es comparada con la moduladora; para obtener las señales PWM tal como se puede observar en la Figura 3(b) originando las señales PWM nombradas como  $V_a - V_f$ , las cuales tienen el mismo ciclo de trabajo  $d$ . Al aplicar esta señal al CMCF de siete niveles, todos los interruptores tienen el mismo ciclo de trabajo, es decir:

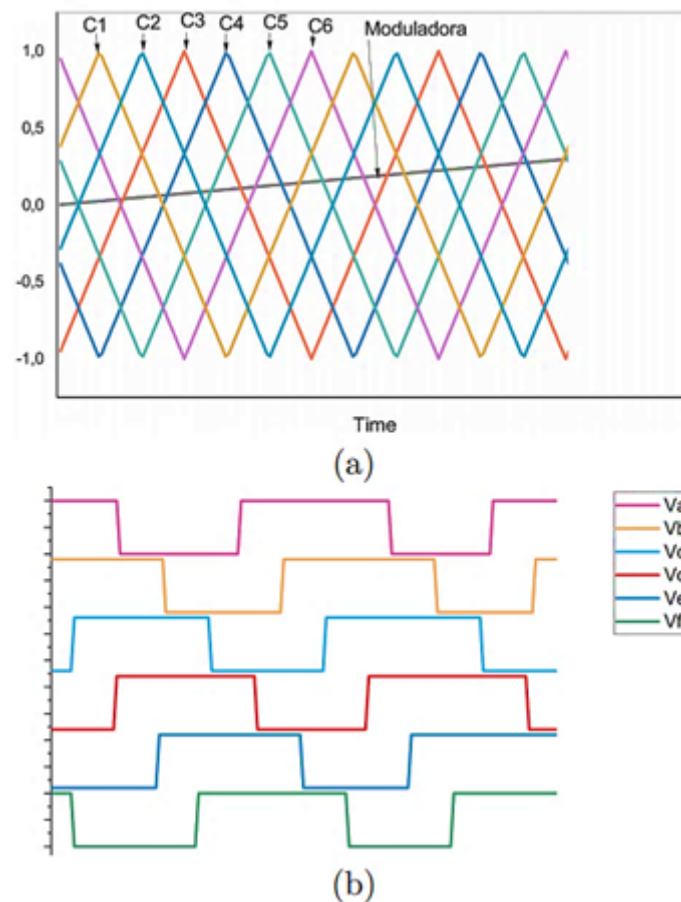
$$d_1 = d_2 = d_3 = d_4 = d_5 = d_6 = d\tag{3}$$

Acorde con la Ecuación (1), la variación del voltaje promedio en cada capacitor flotante es nula cuando todos los ciclos de trabajo,  $d_1$  a  $d_6$ , son iguales. Por lo tanto, las dinámicas de voltaje en los capacitores flotantes de (1) se pueden considerar constantes y sus derivadas iguales a cero. Esta es la razón por la que la dinámica de los capacitores puede no considerarse en el modelo promedio del CMCF. Por otra parte, existe una relación

entre ciclo de trabajo  $d$  y la señal moduladora  $u_{av}$ , la cual se expresa como  $d$ . Tomando en cuenta esto y sustituyendo (3) en (2), el voltaje de salida  $V_{aN}$  puede expresarse como sigue:

$$v_{aN} = V_{CD}(d) - \frac{V_{CD}}{2} = \frac{V_{CD}}{2}u_{av} = Eu_{av} \quad (4)$$

Donde  $E$  es el voltaje de cada uno de los capacitores  $C_{b1}$  y  $C_{b2}$ , mismo que tiene por valor a  $V_{CD}/2$ . La ecuación (4) permite ver de manera simplificada al CMCF de siete niveles como un convertidor «reductor» multinivel con una fuente de voltaje de alimentación  $Eu_{av}$  (donde  $E = V_{CD}/2$ ), un filtro LC pasabajas y una carga de naturaleza variante, tal como se muestra en la Figura 4.



**Figura 3.** Modulación PS-PWM: (a) Portadoras de la modulación; (b) Ciclo de trabajo en los canales PWM generados



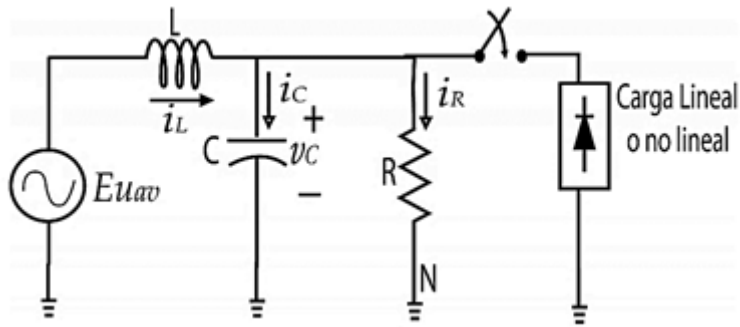


Figura 4. Modelo simplificado del inversor multinivel de capacitores flotantes.

Tomando en consideración lo anterior, el modelo promedio de segundo orden del CMCF se puede expresar como en (5):

$$\begin{aligned} L \frac{di_L}{dt} &= -v_C + Eu_{av} \\ C \frac{dv_C}{dt} &= i_L - \frac{v_C}{R} \end{aligned} \quad (5)$$

La entrada de control  $u_{av}$ , representa la señal moduladora PWM que puede tomar valores del conjunto continuo  $[-1, 1]$ . El término  $v_C$  es el voltaje en el capacitor del filtro. La corriente que circula por los interruptores y por la inductancia de salida es  $i_L$ .  $L$  y  $C$  son los valores de inductancia y capacitancia del filtro, respectivamente.

## 2.2. Linealización en forma exacta del modelo

El sistema CMCF así conformado es lineal, de una entrada y una salida (SISO, por sus siglas en inglés, Single Input-Single Output) y como ya se mencionó es de naturaleza reductora. Reagrupando el modelo mostrado en la Ecuación (5) para ser expresado en su forma no lineal afín, se tiene lo siguiente:

$$\begin{aligned} \dot{x} &= f(x) + g(x)u \\ y &= h(x) \end{aligned} \quad (6)$$

donde:

$$f(x) = \begin{pmatrix} -\frac{v_C}{L} \\ \frac{i_L}{C} - \frac{v_C}{RC} \end{pmatrix}, \quad g(x) = \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix}$$

y:

$$x = \begin{pmatrix} x_1 \\ x_2 \end{pmatrix} = \begin{pmatrix} i_L \\ v_C \end{pmatrix}$$



Como se describe ampliamente en [17], la función de salida que permite linealizar en forma exacta al sistema no lineal (6) está dada como:

$$h(x) = v_C \quad (7)$$

El grado relativo  $r$  del sistema no lineal (6) se obtiene mediante el cálculo sucesivo de las derivadas de Lie:

$$L_g L_f^k h(x) = 0 \quad (8)$$

hasta encontrar la derivada de Lie que cumple con:

$$L_g L_f^{r-1} h(x) \neq 0 \quad (9)$$

donde  $k \in \Omega$ . Las derivadas de Lie calculadas son:

$$\begin{aligned} L_g L_f^0 h(x) &= L_g h(x) = \frac{\partial h(x)}{\partial x} g(x) \\ &= \begin{pmatrix} 0 & 1 \end{pmatrix} \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix} = 0 \end{aligned} \quad (10)$$

$$L_g L_f^1 h(x) = \frac{\partial [L_f h(x)]}{\partial x} g(x) = \begin{pmatrix} \frac{1}{C} & -\frac{1}{RC} \end{pmatrix} \begin{pmatrix} \frac{E}{L} \\ 0 \end{pmatrix} = \frac{E}{LC} \quad (11)$$

Dado que (11) es diferente de 0, el grado relativo  $r$  del sistema (6) es igual a 2. Se realiza la transformación de coordenadas  $x$  a  $z$  mediante:

$$z = \Phi(x) = \begin{pmatrix} z_1 \\ z_2 \end{pmatrix} = \begin{pmatrix} L_f^0 h(x) \\ L_f^{n-1} h(x) \end{pmatrix} \quad (12)$$

Para verificar si  $\Phi$  es un difeomorfismo, se verifica la no-singularidad de la matriz jacobiana, dada por:

$$J_\Phi = \frac{\partial \Phi(x)}{\partial x} = \begin{pmatrix} \frac{\partial z_1}{\partial x_1} & \frac{\partial z_1}{\partial x_2} \\ \frac{\partial z_2}{\partial x_1} & \frac{\partial z_2}{\partial x_2} \end{pmatrix} = \begin{pmatrix} 0 & 1 \\ \frac{1}{C} & -\frac{1}{RC} \end{pmatrix} \quad (13)$$

De (13) se puede demostrar que  $J_\Phi$  es no singular para cualquier  $x$  por lo que la transformación de coordenadas es válida. El sistema de coordenadas  $z$  se expresa como:

$$\begin{aligned} z_1 &= v_C \\ z_2 &= \frac{1}{C}i_L - \frac{1}{RC}v_C \end{aligned} \quad (14)$$

El sistema original (6) se transforma en el sistema linealizado en la forma normal de Brunovsky tal como se muestra a continuación:

$$\begin{aligned} \dot{z}_1 &= z_2 \\ \dot{z}_2 &= \alpha(x) + \beta(x)u = v \end{aligned} \quad (15)$$

Donde :

$$\alpha(x) = \left(\frac{1}{C^2R^2} - \frac{1}{LC}\right)v_C - \frac{1}{C^2R}i_L \quad (16)$$

$$\beta(x) = L_g L_f^1 h(x) = \frac{E}{LC} \quad (17)$$

La variable  $v$  es una ley de control auxiliar cuya expresión se planteará más adelante y definirá la dinámica de seguimiento que se desea cumpla el sistema. La ley de control se obtiene despejando  $u$  de (15), como sigue:

$$u = \frac{v - \alpha(x)}{\beta(x)} \quad (18)$$

El modelo mostrado en (5) del CMCF considera una carga resistiva  $R$  de valor conocido, pero dado que el inversor está sujeto a cargas de naturaleza variante, la corriente de carga  $i_L$  cambiará su valor dependiendo de la carga, por lo tanto, se causarán perturbaciones en el voltaje de salida del inversor. Como se puede observar, la ley de control de la Ecuación (18), requiere el valor de  $\alpha(x)$ , el cual a su vez, requiere la medición de  $i_L$ . Una propuesta para evitar el uso del sensor de corriente se trata a continuación.

### 2.3. Diseño del controlador ADRC

Basándose en el enfoque ADRC con observador de estado extendido, se diseña un observador LESO [18], para su formulación se realizan las siguientes suposiciones:

1. Solo se mide la salida plana  $F = v_C$
2. Los valores nominales de los parámetros  $L$ ,  $C$ ,  $R$ ,  $E$  son conocidos.
3. La entrada de control  $u_{av}$  está disponible.
4. La función de perturbación  $\alpha(x)$  es desconocida, pero se considera acotada.
5. Las variables estimadas de la salida plana y su derivada se denotan como  $F1 = F$  y  $F2 = F'$ .

6. Las variables estimadas de la función de perturbación y su derivada, son  $\eta_1 = \alpha(x)$  y  $\eta_2 = \alpha'(x)$ .

El observador LESO se diseña a partir de (15) y se define como sigue:

$$\begin{aligned}\dot{F}_1 &= F_2 + \lambda_3(F - F_1) \\ \dot{F}_2 &= \eta_1 + \beta(x)u + \lambda_2(F - F_1) \\ \dot{\eta}_1 &= \eta_2 + \lambda_1(F - F_1) \\ \dot{\eta}_2 &= \lambda_0(F - F_1)\end{aligned}\quad (19)$$

El conjunto de coeficientes  $\lambda_0, \lambda_1, \lambda_2, \lambda_3$  son valores constantes y son seleccionados mediante un polinomio Hurwitz de cuarto orden:

$$\begin{aligned}\lambda_0 &= \omega_n^4 \\ \lambda_1 &= 4\zeta\omega_n^3 \\ \lambda_2 &= 2\omega_n^2 + 4\zeta^2\omega_n^2 \\ \lambda_3 &= 4\zeta\omega_n\end{aligned}\quad (20)$$

Partiendo de (18) y de (19) se diseña el control ADRC, donde los valores estimados del observador LESO son adaptados al controlador auxiliar de seguimiento:

$$v = \dot{F}_2^* - k_1(F_2^* - z_2) - k_0(F_1^* - z_1)\quad (21)$$

Donde las señales de seguimiento son:

$$\begin{aligned}F_1^* &= A \sin(\omega_n t) \\ F_2^* &= -A * \omega_n \cos(\omega_n t) \\ \dot{F}_2^* &= A(\omega_n)^2 \sin(\omega_n t)\end{aligned}\quad (22)$$

Con  $\omega_n = 2\pi f$  y  $f = 60$  Hz.

La ley de control basada en la técnica ADRC se establece como sigue:

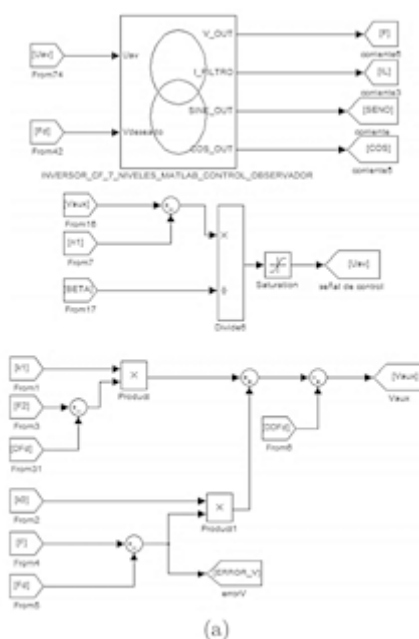
$$u = \frac{v - \eta_1}{\beta(x)}\quad (23)$$

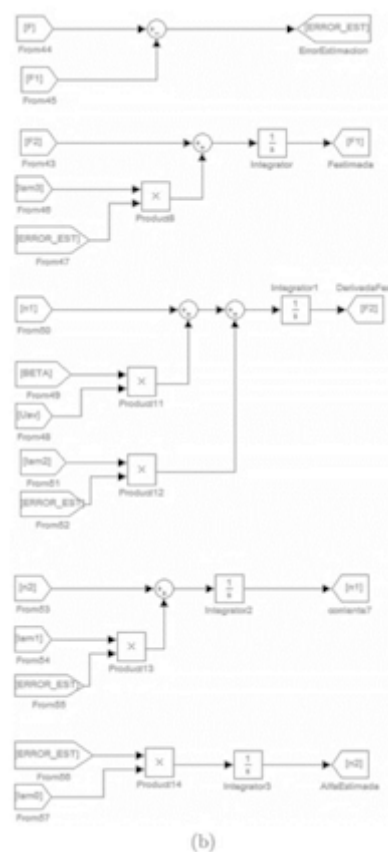
En (22),  $\eta_1$  representa el valor estimado de  $\alpha(x)$ , es decir,  $\eta_1 = \alpha'(x)$ . Los coeficientes  $k_0, k_1$  son valores constantes, seleccionados mediante un polinomio Hurwitz de segundo orden como se muestra a continuación:

$$\begin{aligned} k_0 &= w_{nc}^2 \\ k_1 &= 2\zeta_c w_{nc} \end{aligned} \quad (24)$$

### 3. SIMULACIÓN DEL SISTEMA

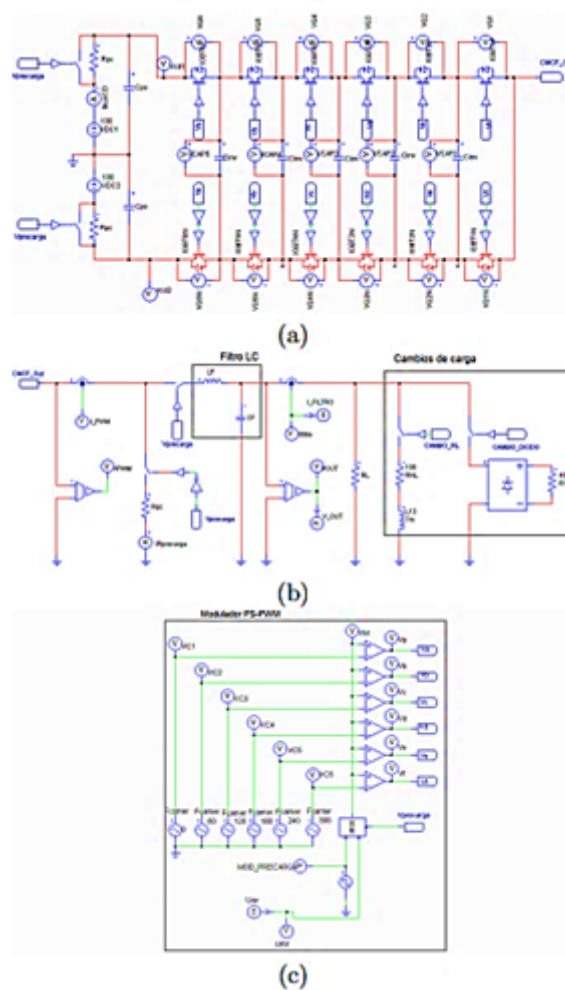
La simulación del sistema se llevó a cabo usando el módulo SimCoupler y fue realizada por medio de una cosimulación entre PSIM 9.0 y MATLAB/Simulink. El controlador se construye en MATLAB/Simulink, esto se muestra en la Figura 5. Por otra parte, en PSIM se realiza la construcción del circuito de precarga y los elementos del inversor multinivel (filtro de salida, modulador PS-PWM y el control para cambios de carga), esto se muestra en la Figura 6. Por tanto, el procesamiento del controlador se realiza en MATLAB/Simulink y se acopla por medio del módulo SimCoupler a PSIM; el valor de la señal de control acoplada tiene por nombre uav y la recibe el modulador PS-PWM como ciclo de trabajo para realizar la acción de control sobre la salida del CMCF.





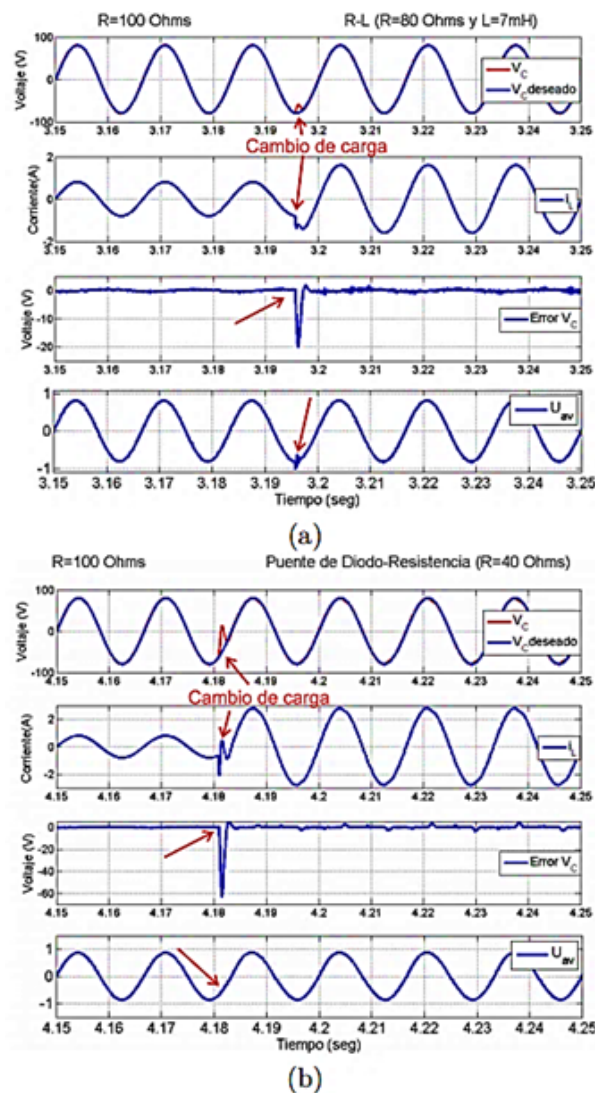
**Figura 5.** MATLAB/Simulink: (a) Control ADRC y (b) Observador LESO.

Para todos los componentes pasivos empleados se consideraron valores nominales de placa con una tolerancia de 20 % para capacitores y de 10 % para resistores e inductores; por lo tanto, para el convertidor multinivel se emplearon los siguientes valores: CCAP 1...CAP 5 = 10  $\mu$ F; los capacitores del bus de CD tienen un valor de CP C = 1000  $\mu$ F. Los valores de los elementos del filtro de salida son CF = 4.7  $\mu$ F, LF = 7 mH y RL = 100  $\Omega$ . La señal de referencia de voltaje es igual a  $V_d = A \sin(2\pi f)$ , las pruebas se realizaron para una amplitud deseada de  $A = 80$  V y una frecuencia  $f = 60$  Hz. Por otra parte, la modulación PS-PWM utiliza portadoras con frecuencia de 2.4 kHz. El valor de los parámetros para el observador LESO  $\lambda_0, \lambda_1, \lambda_2, \lambda_3$  se calculan con  $w_n = 30000$  y  $\zeta = 0.707$ . Los parámetros del controlador  $k_0$  y  $k_1$  se calculan con  $w_{nc} = 3000$  y  $\zeta_c = 0.707$ . En ambos casos los polos se ubican en el lado izquierdo del plano complejo a fin de garantizar la estabilidad.



**Figura 6.** PSIM: (a) Inversor multinivel. (b) Filtro LC a la salida y control de cambio de carga y. (c) Modulador PS-PWM y activación de cambios de carga.

Para comprobar la robustez del controlador ADRC ante cambios repentinos de carga se realizaron dos tipos de pruebas: para una primera prueba, se añade a la salida del inversor, después del filtro, una carga adicional del tipo R – L, con valores nominales de  $R_{NL1} = 80 \, \Omega$  y  $L_{NL} = 7 \, \text{mH}$ . El resultado de la simulación se muestra en la Figura 7(a); en esta se puede observar que al realizar el cambio de carga, la corriente  $i_L$  incrementa su valor y el estimador LESO en conjunto con el controlador ADRC actualizan la señal de control  $u_{av}$ , permitiendo que el voltaje del capacitor retome la trayectoria de referencia nuevamente.

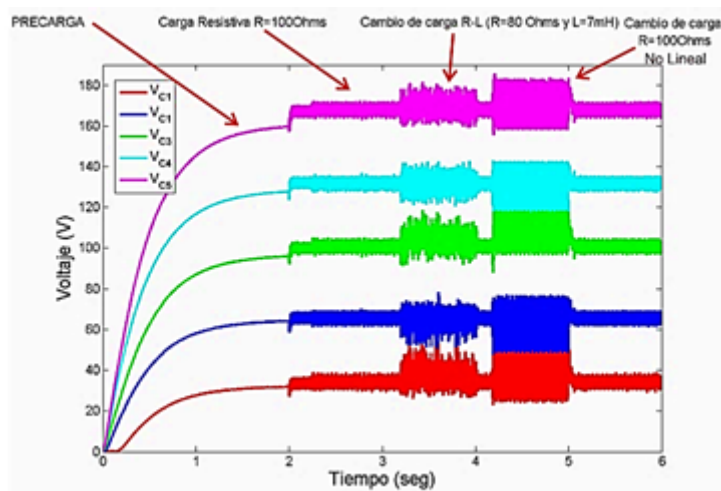


**Figura 7.** Resultados de simulación: (a) Con carga adicional del tipo R – L.  
(b) Con carga adicional compuesta por un puente de diodos y una resistencia.

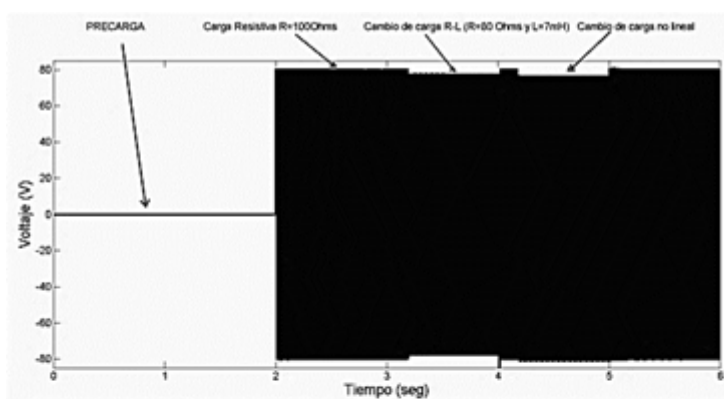
La segunda prueba consistió en agregar ahora una carga no lineal que consiste en un puente de diodos junto a una carga resistiva de  $40 \Omega$ . La Figura 7(b) muestra el resultado de la simulación donde se puede observar que al agregar la carga no lineal produce que el voltaje en el capacitor sufra una fuerte desviación transitoria de la referencia sinusoidal deseada, misma que es corregida de la misma manera por la acción del estimador LESO y el controlador ADRC. En la Figura 8 se observa el resultado de la simulación ya con el controlador, del comportamiento del voltaje en los capacitores flotantes durante los cambios de carga realizados en las pruebas anteriores. La precarga de los capacitores flotantes se realiza de acuerdo con el trabajo presentado en [7], ahí proponen un intervalo de tiempo de  $\tau = [0 - 2]$ s. Al realizar los cambios de carga, se observa que los voltajes en los capacitores flotantes se mantienen en forma promedio en sus valores nominales; el rizo se incrementa, siendo mayor cuando se le conecta la carga no lineal del diodo + resistencia. Para validar el efecto del controlador sobre el voltaje de salida  $v_C$  se realizaron dos pruebas en simulación, la primera, prueba es sin controlador, solo con el modulador PS-PWM; el resultado de esta prueba se puede observar en la Figura 9(a). En la segunda prueba se coloca el controlador propuesto, el resultado se puede apreciar en la Figura 9(b). En esta prueba el voltaje del capacitor  $v_C$  se mantiene sin cambios o muy poco perceptible cercano a la



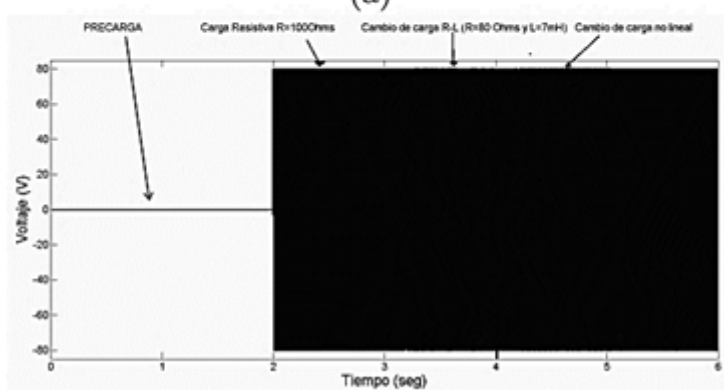
referencia. En este punto y analizando las figuras mencionadas, se puede argumentar que la modulación PS-PWM por sí misma, no sería capaz de mantener el voltaje de salida.



**Figura 8.** Resultado de simulación de los voltajes en los capacitores flotantes durante la precarga, operación normal y cambios de carga.



(a)

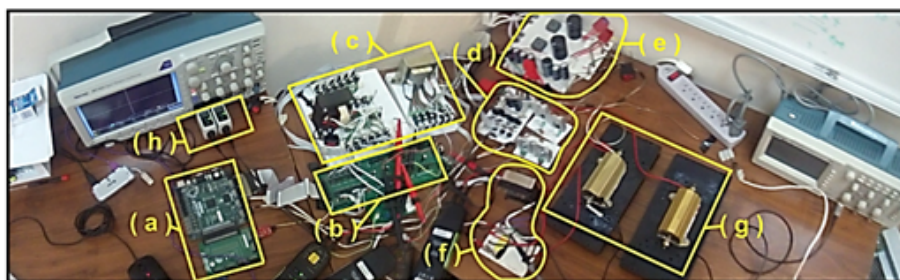


(b)

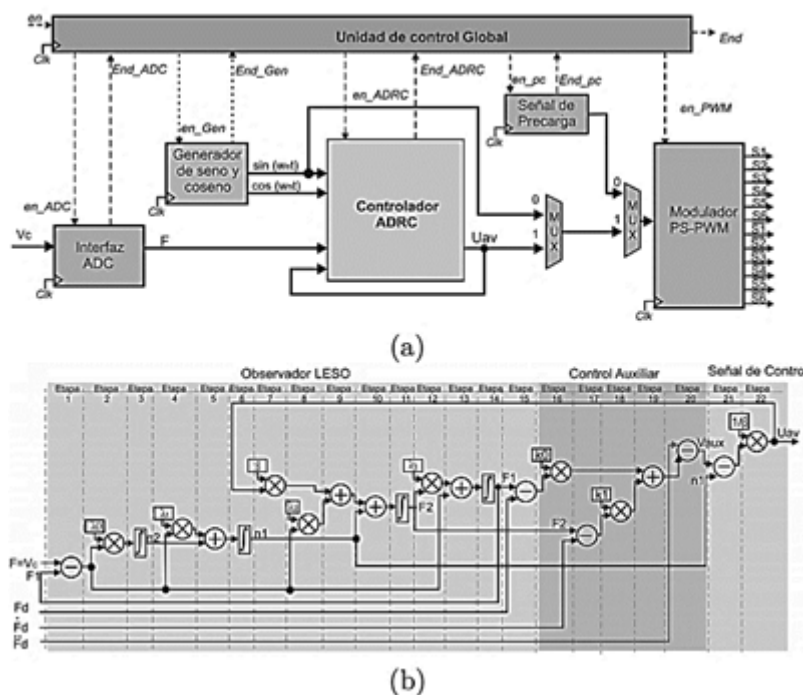
**Figura 9.** Resultados de simulación para el voltaje de salida  $v_C$ : (a) Con cambios de carga solo con el modulador PS-PWM. (b) Con cambios de carga aplicando el controlador + estimador LESO.

#### 4. RESULTADOS EXPERIMENTALES

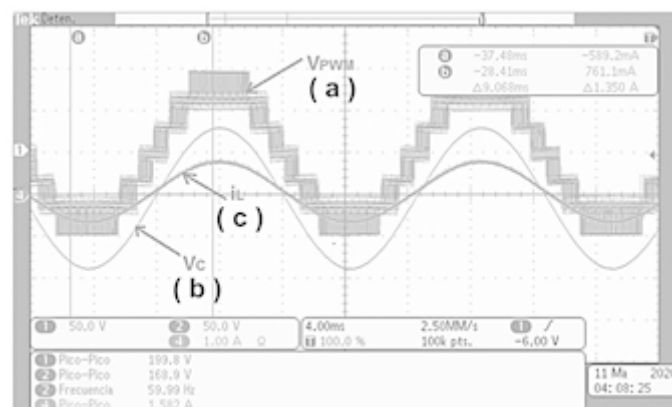
Para verificar los resultados de simulación se realizó la implementación del sistema que consistió en dos partes principales: la primera, contempla la construcción del prototipo del convertidor multinivel y los sistemas auxiliares para su funcionamiento, la descripción del mismo se muestra en la Figura 10. La segunda parte, es la implementación en un FPGA de los algoritmos del controlador ADRC y el modulador PS-PWM. En [19] se recomienda seguir la metodología top-down que es muy adecuada para implementar algoritmos en los dispositivos de lógica reconfigurable y que ha sido usada con excelente desempeño en [14], [20], [21], [22]. Para llevar a cabo la implementación se empleó el software de Xilinx ISE 14.7, se codificó en VHDL sin hacer uso de alguna herramienta de alto nivel basada en bloques o generación de código, y se ocuparon los elementos internos del FPGA, tales como memorias BRAM y multiplicadores embebidos para optimizar el uso de recursos internos del dispositivo; el diseño realizado se muestra en la Figura 11. Cabe mencionar que para las operaciones aritméticas necesarias se utilizó la representación numérica en punto flotante simple de 32-bits alineado al estándar IEEE-754 y se logró un tiempo de muestreo de 10  $\mu$ s. Para evaluar el desempeño del controlador se realizaron al igual que en simulación, dos tipos de pruebas: en lazo abierto y en lazo cerrado. En ambos casos se hicieron cambios de carga del tipo lineal y no lineal para verificar el desempeño del controlador propuesto. De manera inicial se probó el prototipo para verificar su funcionamiento correcto, el resultado de esta prueba se muestra en la Figura 12. En la Figura 12(a) se puede observar la salida con siete niveles que se toma antes del filtro de salida; las Figura 12 (b) y (c) muestran la salida sinusoidal después del filtro LC para voltaje y la corriente suministrada, respectivamente.



**Figura 10.** Prototipo desarrollado del inversor multinivel de siete niveles de capacitores flotantes. (a) Tarjeta de desarrollo basada en FPGA (Nexys-2). (b) Inversor multinivel. (c) Fuentes aisladas para impulsores de compuerta e instrumentación. (d) Control de precarga de capacitores y cambio de carga a la salida. (e) Fuente principal de CD. (f) Filtro LC a la salida del inversor. (g) Cargas a la salida del inversor (200 W). (h) Puntas aisladas de medición.

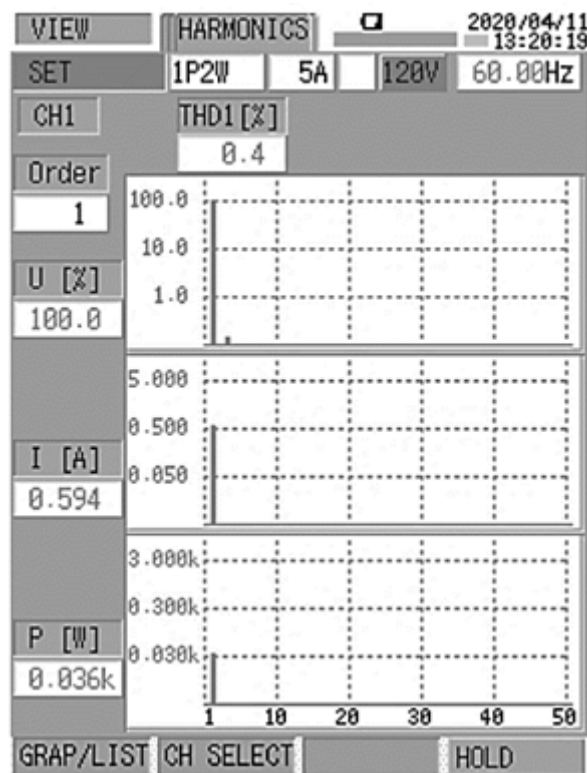


**Figura 11.** Implementación en el dispositivo FPGA. (a) Diagrama a bloques propuesto. (b) Arquitectura diseñada para la ejecución del algoritmo de control y LESO.



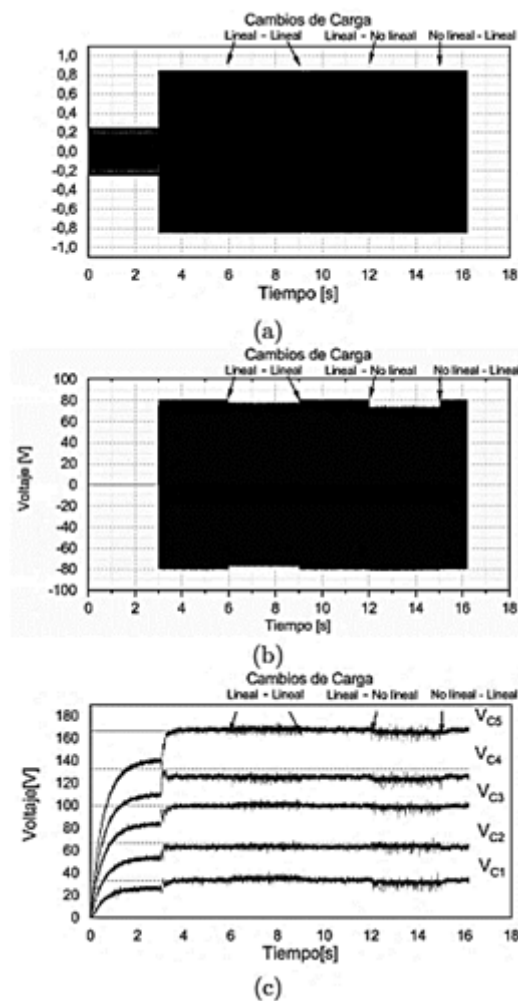
**Figura 12.** Formas de onda de salida obtenidas del prototipo experimental. (a) Salida de voltaje multinivel de 7 niveles antes del filtro LC (VPWM). (b) Salida de voltaje después del filtro LC (Vc). (c) Corriente suministrada a la carga ( $i_L$ ).

Para validar el contenido armónico de la onda de salida del inversor se realizó una prueba con un medidor de calidad de energía (Hioki 3197), el resultado se muestra en la Figura 13, se observa una alta calidad en la onda de salida, tanto en voltaje (THDv) como en corriente (THDi).



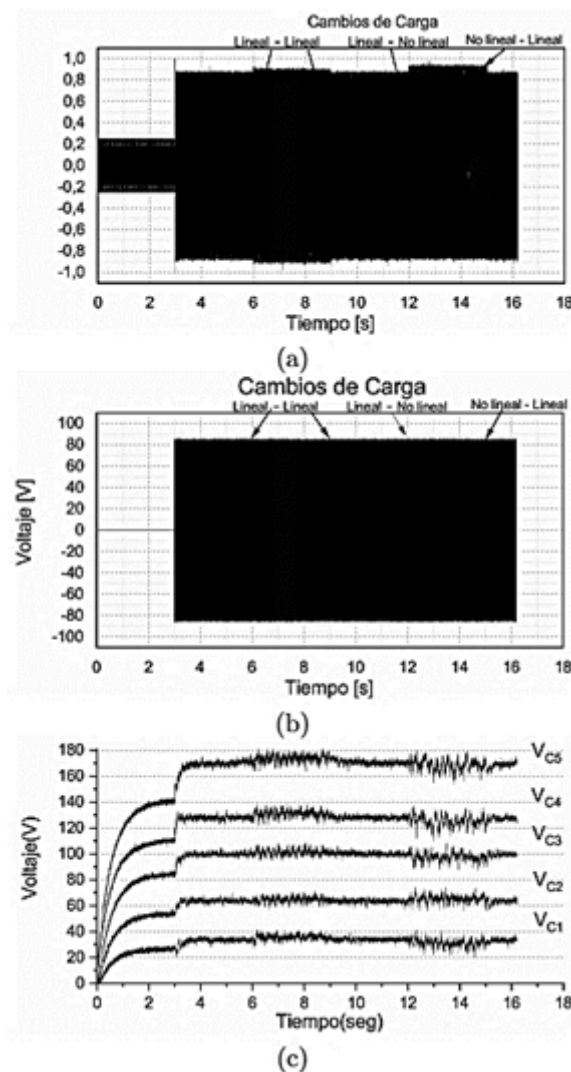
**Figura 13.** Resultado de la medición de  $THD_v$  y  $THD_i$  de la salida del inversor multinivel.

Como resultado de la prueba en lazo abierto la Figura 14 muestra los resultados de tres aspectos que consideramos importantes: la señal de control ( $u_{av}$ ), el voltaje de salida del convertidor ( $v_C$ ) y el voltaje de los capacitores ( $V_{C1} \dots V_{C5}$ ). Como ya se ha comentado anteriormente, se realizaron cambios de carga del tipo lineal y no lineal. En la Figura 14(a) se muestra el valor de la señal de control con una amplitud fija después de la precarga con un valor de  $u_{av} = 0.85$ , el equivalente a un valor deseado de voltaje de salida  $V_C = 85V$ , el cual se puede observar en la Figura 14(b) cuando el sistema es sometido a cambios de carga repentinos. En esta figura podemos observar claramente que durante los transitorios, la amplitud del voltaje se ve afectado, ya que disminuye. En la Figura 14(c) se observa que el balance de los capacitores se mantiene nominalmente dentro de su zona de trabajo, sin embargo, al momento de realizar los cambios de carga se puede apreciar un incremento en el rizo de cada uno de ellos.



**Figura 14.** Gráficos de los resultados experimentales obtenidos en lazo abierto ante diferentes cambios de carga. (a) Señal de control (uav). (b) Voltaje de salida del inversor después del filtro (VC). (c) Voltaje en los capacitores flotantes VC1...C5.

La prueba en lazo cerrado se realizó bajo el mismo procedimiento que el llevado a cabo para la prueba en lazo abierto. La Figura 15(a) muestra el resultado de la señal de control; después del periodo de precarga, se establece un valor inicial de  $uav = 0.85$  para un valor deseado de  $VC = 85$  V, en la misma figura se puede observar la acción del controlador (uav variable) durante la conexión repentina de las cargas. La Figura 15(b) muestra que el voltaje de salida no modifica su amplitud cuando se realizan los cambios de carga. En la Figura 15(c) se muestra el voltaje de los capacitores los cuales mantienen el balance y solo se aprecia un incremento de alta frecuencia en cada uno de ellos.



**Figura 15.** Gráficos de los resultados experimentales obtenidos en lazo cerrado ya con el controlador ADRC ante diferentes cambios de carga. (a) Señal de control (uav). (b) Voltaje de salida del inversor después del filtro (VC). (c) Voltaje en los capacitores flotantes VC1...C5.

## 5. CONCLUSIONES

En términos generales se observa que la disminución en la complejidad del modelo del CMCF ayudó considerablemente en otros aspectos tales como la reducción de la capacidad de cómputo necesaria para procesar el controlador, reducción en el tiempo de procesamiento y a emplear menos sensores en el prototipo. Por otra parte, se puede comentar que es necesario que la modulación PS-PWM mantenga el balance de voltaje de los capacitores flotantes para que el control ADRC funcione, es decir, realice el seguimiento de la referencia de voltaje, sin embargo, la modulación PS-PWM no es capaz de mantener el voltaje deseado a la salida en su valor nominal cuando se presentaron perturbaciones en la corriente de carga. Al agregar el controlador ADRC, la tarea de control se lleva a cabo de manera efectiva. El controlador ADRC y el observador LESO tratan con efectividad la perturbación de corriente, por lo que podemos considerar al controlador robusto ante perturbaciones exógenas provocadas por cambios de carga de tipo lineal y no lineal. La señal de voltaje en el capacitor del filtro sigue efectivamente a la referencia impuesta, salvo desviaciones transitorias, que rápidamente son minimizadas por el controlador. Hay que considerar que, en el caso de



desbalance de los capacitores, el control ADRC no es capaz de seguir la referencia de voltaje. El uso del dispositivo de lógica programable para la implementación del sistema, como bien se observa en las pruebas experimentales, contribuyó a tener muy buenos resultados, sobre todo, en términos de rapidez de ejecución del algoritmo y atención a las perturbaciones. Se verificó que los inversores multinivel poseen entre sus características principales una alta calidad en la onda de salida ( $T_{HDV} < 5\%$ , como lo marca el estándar IEEE-519) y que la topología de capacitores flotantes, al requerir solo una fuente de CD, es una opción recomendable entre las otras estructuras multinivel ya existentes.

## REFERENCIAS

- [1] D. Hart, *Electrónica de potencia*. Madrid: Pearson Education, 2001. [Online]. Available: <https://bit.ly/3eJZYXH>
- [2] R. Haider, R. Alam, N. B. Yousuf, and K. M. Salim, "Design and construction of single phase pure sine wave inverter for photovoltaic application," in 2012 International Conference on Informatics, Electronics & Vision (ICIEV). IEEE, may 2012. [Online]. Available: <https://doi.org/10.1109/iciev.2012.6317332>
- [3] L. Franquelo, J. Rodríguez, J. Leon, S. Kouro, R. Portillo, and M. Prats, "The age of multilevel converters arrives," *IEEE Industrial Electronics Magazine*, vol. 2, no. 2, pp. 28–39, jun 2008. [Online]. Available: <https://doi.org/10.1109/mie.2008.923519>
- [4] S. A. Gonzalez, S. A. Verne, and M. I. Valla, *Multilevel Converters For Industrial Applications*. Taylor & Francis Ltd, 2017. [Online]. Available: <https://bit.ly/3eN3PUc>
- [5] Y. Lei, C. Barth, S. Qin, W.-c. Liu, I. Moon, A. Stillwell, D. Chou, T. Foulkes, Z. Ye, Z. Liao, and R. C. N. Pilawa-Podgurski, "A 2 kW, single-phase, 7-level, GaN inverter with an active energy buffer achieving 216 w/in3 power density and 97.6% peak efficiency," in 2016 IEEE Applied Power Electronics Conference and Exposition (APEC). IEEE, mar 2016. [Online]. Available: <http://doi.org/10.1109/apec.2016.7468068>
- [6] D. Janik, T. Kosan, P. Kamenicky, and Z. Peroutka, "Universal precharging method for dc-link and flying capacitors of four-level flying capacitor converter," in *IECON 2013 - 39th Annual Conference of the IEEE Industrial Electronics Society*. IEEE, nov 2013. [Online]. Available: <https://doi.org/10.1109/IECON.2013.6700175>
- [7] S. Thielemans, B. Reznikov, J. Melkebeek, and A. Ruderman, "Self-precharge for single-leg odd-level multilevel converter," in 5th IET International Conference on Power Electronics, Machines and Drives (PEMD 2010). Institution of Engineering and Technology, 2010. [Online]. Available: <https://doi.org/10.1049/cp.2010.0142>
- [8] C. Feng, J. Liang, and V. G. Agelidis, "Modified phase-shifted PWM control for flying capacitor multilevel converters," *IEEE Transactions on Power Electronics*, vol. 22, no. 1, pp. 178–185, jan 2007. [Online]. Available: <https://doi.org/10.1109/tpel.2006.886600>
- [9] M. Trabelsi and L. Ben-Brahim, "Experimental photovoltaic power supply based on flying capacitors multilevel inverter," in 2011 International Conference on Clean Electrical Power (ICCEP). IEEE, jun 2011. [Online]. Available: <http://doi.org/10.1109/iccep.2011.6036314>
- [10] A. M. Y. M. Ghias, J. Pou, M. Ciobotaru, and V. G. Agelidis, "Voltage balancing method for the multilevel flying capacitor converter using phase-shifted PWM," in 2012 IEEE International Conference on Power and Energy (PECon). IEEE, dec 2012. [Online]. Available: <http://doi.org/10.1109/pecon.2012.6450221>
- [11] G. Gateau, M. Fadel, P. Maussion, R. Bensaid, and T. A. Meynard, "Multicell converters: active control and observation of flying-capacitor voltages," *IEEE Transactions on Industrial Electronics*, vol. 49, no. 5, pp. 998–1008, oct 2002. [Online]. Available: <http://doi.org/10.1109/tie.2002.803200>
- [12] R. W. Erickson and D. Maksimović, *Fundamentals of Power Electronics*. Springer US, 2001. [Online]. Available: <http://doi.org/10.1007/b100747>
- [13] H. Miranda, V. Cárdenas, G. Espinosa-Pérez, and D. Noriega-Pineda, "Multilevel cascade inverter with voltage and current output regulated using a passivity - based controller," in *Conference Record of the 2006 IEEE Industry Applications Conference Forty-First IAS Annual Meeting*. IEEE, oct 2006. [Online]. Available: <https://doi.org/10.1109/IAS.2006.256643>



- [14] J. A. Juárez-Abad, J. Linares-Flores, E. GuzmanRamírez, and H. Sira-Ramírez, "Generalized proportional integral tracking controller for a single-phase multilevel cascade inverter: An FPGA implementation," *IEEE Transactions on Industrial Informatics*, vol. 10, no. 1, pp. 256–266, feb 2014. [Online]. Available: <http://doi.org/10.1109/tii.2013.2242085>
- [15] F. J. Chavero Ramírez, H. J. C. López Tapia, and N. V. Nava, "Estrategia de control para inversor multinivel con capacitores flotantes," *Pistas educativas*, vol. 108, no. 35, 2014. [Online]. Available: <https://bit.ly/3eNaVIk>
- [16] M. Caris, H. Huisman, J. Duarte, and E. Lomonova, "Nonlinear and vector closedloop control methods for flying-capacitor power converters," *International Journal of Electronics*, vol. 104, no. 8, pp. 1298– 1316, mar 2017. [Online]. Available: <https://doi.org/10.1080/00207217.2017.1293739>
- [17] D. Bhattacharyya, S. Padhee, and K. C. Pati, "Modeling of DC–DC converter using exact feedback linearization method: A discussion," *IETE Journal of Research*, vol. 65, no. 6, pp. 843–854, may 2018. [Online]. Available: <https://doi.org/10.1080/03772063.2018.1454345>
- [18] B.-Z. Guo and Z.-L. Zhao, *Active disturbance rejection control for nonlinear systems: An introduction*. John Wiley & Sons, 2016. [Online]. Available: <https://doi.org/10.1002/9781119239932>
- [19] H. Kaeslin, *Top-down digital VLSI design : from architectures to gate-level circuits and FPGAs*. Waltham, MA: Morgan Kaufmann, 2015. [Online]. Available: <https://bit.ly/36WnwGh>
- [20] E. Monmasson, L. Idkhajine, I. Bahri, M-WNaouar, and L. Charaabi, "Design methodology and FPGA-based controllers for power electronics and drive applications," in *2010 5th IEEE Conference on Industrial Electronics and Applications*. IEEE, jun 2010. [Online]. Available: <https://doi.org/10.1109/ICIEA.2010.5515585>
- [21] J. A. Juárez-Abad, A. P. Sandoval-García, J. Linares-Flores, J. F. Guerrero-Castellanos, P. Banuelos-Sanchez, and M. A. Contreras-Ordaz, "FPGA implementation of passivity-based control and output load algebraic estimation for transformerless multilevel active rectifier," *IEEE Transactions on Industrial Informatics*, vol. 15, no. 4, pp. 1877–1889, apr 2019. [Online]. Available: <https://doi.org/10.1109/tii.2018.2865445>
- [22] R. M. Lagunes, J. A. Juárez-Abad, B. A. A. López, J. L. B. Avalos, and J. L. Flores, "Control de velocidad de un motor síncrono de imanes permanentes accionado por un inversor trifásico multinivel," *Ingenius*, no. 23, pp. 97–108, dec 2019. [Online]. Available: <http://doi.org/10.17163/ings.n23.2020.09>